

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-267649

(43)Date of publication of application : 20.11.1987

(51)Int.Cl.

G01N 21/88
G06K 9/00
G06K 9/32

(21)Application number : 61-110719

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.05.1986

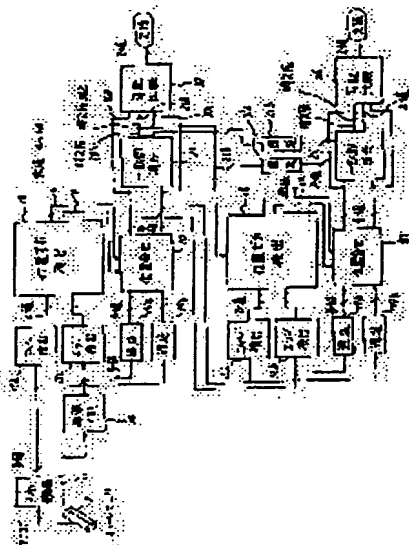
(72)Inventor : MAEDA SHUNJI
KUBOTA HITOSHI
NINOMIYA TAKANORI
MAKIHARA HIROSHI
NAKAGAWA YASUO

(54) PATTERN DEFECT DETECTING DEVICE

(57)Abstract:

PURPOSE: To detect only a defect by overcoming the minute ruggedness of a pattern and the difference of line width, by aligning and comparing each layer between two chips, repeating the alignment and the comparison as for a dissidence part, and deciding the defect at every layer.

CONSTITUTION: The output of a linear image sensor 5 is converted to a digital signal by an A/D converter 11, and inputted to an edge detecting circuit 15a and an image memory 14. By using the image memory, the pattern of an adjacent chip is compared and inspected by one image sensor. A position shift detecting circuit 18 detects the dissidence of a binarization pattern being the output of edge detecting circuits 15a, 15b. In an aligning circuit 20, an alignment is executed by shifting the output of delaying circuits 19a, 19b so that the dissidence amount becomes minimum. Also, in a gradient comparator 30, the gradients of brightness related to areas which become the dissidence by a coincidence erasing circuit are compared, the defect is decided, and the dissidence is outputted. Such circuits are connected serially by the number of pattern layers.





PATENT ABSTRACTS OF JAPAN

(11) Publication number: **62267649 A**

(43) Date of publication of application: 20 . 11 . 87

(51) Int. Cl.

G01N 21/88**G06K 9/00****G06K 9/32**(21) Application number: **61110719**(22) Date of filing: **16 . 05 . 86**(71) Applicant: **HITACHI LTD**

(72) Inventor:
MAEDA SHUNJI
KUBOTA HITOSHI
NINOMIYA TAKANORI
MAKIHARA HIROSHI
NAKAGAWA YASUO

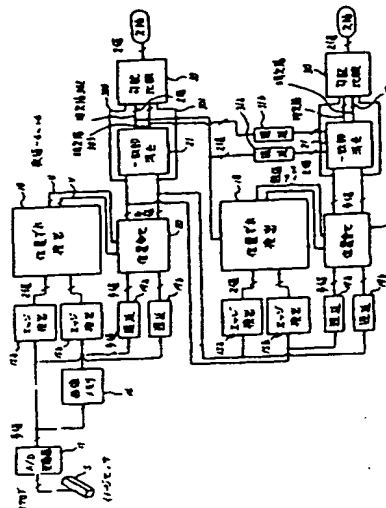
(54) PATTERN DEFECT DETECTING DEVICE**(57) Abstract:**

PURPOSE: To detect only a defect by overcoming the minute ruggedness of a pattern and the difference of line width, by aligning and comparing each layer between two chips, repeating the alignment and the comparison as for a dissidence part, and deciding the defect at every layer.

CONSTITUTION: The output of a linear image sensor 5 is converted to a digital signal by an A/D converter 11, and inputted to an edge detecting circuit 15a and an image memory 14. By using the image memory, the pattern of an adjacent chip is compared and inspected by one image sensor. A position shift detecting circuit 18 detects the dissidence of a binarization pattern being the output of edge detecting circuits 15a, 15b. In an aligning circuit 20, an alignment is executed by shifting the output of delaying circuits 19a, 19b so that the dissidence amount becomes minimum. Also, in a gradient comparator 30, the gradients of brightness related to areas which become the dissidence by a coincidence erasing circuit are compared, the defect is decided, and the dissidence is outputted. Such circuits

are connected serially by the number of pattern layers.

COPYRIGHT: (C)1987,JPO&Japio



⑫ 公開特許公報(A)

昭62-267649

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)11月20日

G 01 N 21/88
G 06 K 9/00
9/32E-7517-2G
F-6942-5B
6942-5B

審査請求 未請求 発明の数 1 (全19頁)

⑮ 発明の名称 パターン欠陥検出装置

⑯ 特 願 昭61-110719

⑰ 出 願 昭61(1986)5月16日

⑱ 発 明 者 前 田 俊 二 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
⑲ 発 明 者 窪 田 仁 志 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
⑲ 発 明 者 二 宮 隆 典 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
⑲ 発 明 者 牧 平 坦 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉑ 代 理 人 弁理士 小川 勝男 外1名
最終頁に続く

明 細 書

1. 発明の名称

パターン欠陥検出装置

2. 特許請求の範囲

1. 同一となるように形成された回路パターンであって該パターン面に垂直に複数層の重ね合せから成るものを、該パターン面に沿う2次元平面に複数個有する試料について、2つの前記回路パターンの相互に対応する部分の画像信号を入力して、位置ずれ検出、位置合せ及び比較を行うことで前記回路パターンの欠陥を検出するパターン欠陥検出装置において、

前記画像信号を変換して得られた多値のデジタル信号から前記パターンのエッジを検出して2値化した信号を入力し、位置ずれ量を出力する位置ずれ検出回路、及び、該デジタル信号を遅延させた後、該位置ずれ量に基づいて位置合せを行う回路を少なくとも2組有するパターン欠陥検出装置。

2. 同一となるように形成された回路パターンを

複数有する試料について、2つの前記回路パターンの相互に対応する部分の画像信号を入力して、位置ずれ検出、位置合せ及び比較を行うことで前記回路パターンの欠陥を検出するパターン欠陥検出装置において、

前記画像信号を変換して得られた多値のデジタル信号から前記パターンのエッジを検出して2値化する回路であって、該デジタル信号に該エッジを顕在化させる演算子を作用させる回路構成を採るエッジ検出回路を有するパターン欠陥検出装置。

3. 同一となるように形成された回路パターンを複数有する試料について、2つの前記回路パターンの相互に対応する部分の画像信号を入力して、位置ずれ検出、位置合せ及び比較を行うことで前記回路パターンの欠陥を検出するパターン欠陥検出装置において、

前記画像信号を変換して得られた多値のデジタル信号を遅延させて位置合せを行った後、前記2つの回路パターンの相互に対応する面素の

差の絶対値を採り、該絶対値を比較する領域で論理和を採った後、2値化する回路を有するパターン欠陥検出装置。

4. 同一となるように形成された回路パターンを複数有する試料について、2つの前記回路パターンの相互に対応する部分の画像信号を入力して、位置ずれ検出、位置合せ及び比較を行うことで前記回路パターンの欠陥を検出するパターン欠陥検出装置において、

前記画像信号を変換して得られた多値のデジタル信号から検出された前記パターンのエッジを2値化した信号を入力し、位置ずれ量を出力する位置ずれ検出回路、

前記画像信号を変換して得られた多値のデジタル信号を遅延させた後、前記位置ずれ量に基づいて位置合せを行う回路、

前記位置合せ後の多値のデジタル信号と、該デジタル信号を2値化した信号とを入力し、前記2つの回路パターンの相互に対応する画素の近傍を補間して比較する回路を有するパターン

欠陥検出装置。

5. 同一となるように形成された回路パターンを複数有する試料について、2つの前記回路パターンの相互に対応する部分の画像信号を入力して、位置ずれ検出、位置合せ及び比較を行うことで前記回路パターンの欠陥を検出するパターン欠陥検出装置において、

前記画像信号を変換して得られた多値のデジタル信号から検出された前記パターンのエッジを2値化した信号を入力し、位置ずれ量を出力する位置ずれ検出回路、

前記画像信号を変換して得られた多値のデジタル信号を遅延させた後、前記位置ずれ量に基づいて位置合せを行う回路、

前記位置合せ後の多値のデジタル信号と、該デジタル信号を2値化した信号とを入力し、前記2つの回路パターンの相互に対応する画素の近傍の勾配を比較する回路を有するパターン欠陥検出装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は画像情報の2値化を再現性よく高精度に行う技術に関連し、例えばLSIウエハ等の半導体素子上に形成されたパターンの外観を自動的に検査する方法及び装置に関する。

〔従来の技術〕

LSIなどの集積回路は高集積化と小形化の傾向にある。かかる微細な配線パターンの形成においては欠陥の検出が当該形成の良否を判定する上で重要である。

欠陥の検出は最早、多数の人員を配置して目視で行う段階では困難となり、欠陥検出の自動化が急務となっている。

そこで光学顕微鏡又は電子顕微鏡等から得られた半導体素子表面の画像情報を、撮像管や撮像素子等により電気情報に変換した後、所定の信号処理を施して欠陥の検出が行われるべく構成された装置並びに方法が公開されている。例えば特開昭57-196377号公報、特開昭58-46636号公報、特開昭57-34402号公報に詳述されている。

これらの技術に共通し、かつ必須の構成要素は、第20図で示される従来装置を参照すれば、半導体のチップ2上に形成されたパターンを、定位置から2次元パターンとして再現性良く電気信号に変換することである。

従来装置を用いて動作を簡単に説明する。

リニアイメージセンサ5a, 5bは自己走査機能をもっており、1次元にパターンを検出する。そしてXYテーブル7によりLSIウエハ1をリニアイメージセンサ走査と直角方向に移動させることにより、チップ2の2次元パターンを検出する構成となっている。4a, 4bは照明光3a, 3bをチップ上に集光させ、かつチップのパターンを拡大してイメージセンサ上に結像する対物レンズであり、イメージセンサからの電気信号はA/Dコンバータ11a, 11bによりデジタル信号に変換される。更にデジタル信号は2値化回路12a, 12bによりバイナリ信号に変換されて判定回路13に至る。

このような従来装置では、イメージセンサ5a, 5bでそれぞれ検出される回路パターン等が所定

の座標に対して位置ずれが無いことが理想であるが、少くともイメージセンサ50, 51で検出される2箇所の回路パターンに位置ずれが無いことが要求される。

しかし、実際には検査対象を載置したXYテーブルの精度、チップ配列精度、光学系・機械系の熱変形等により入力パターン間に位置ずれが生ずることは免れ得ないので位置ずれを測定して入力パターン間の位置ずれを補正して欠陥判定を行っていた。

(発明が解決しようとする問題点)

従来技術には次のような問題があった。即ち、第21図(a), (b)に示すように、検討対象多層パターンの例えば第1層と第2層のパターン間に位置ずれ(アライメント誤差)があるとき、従来技術による位置合せを行った後、不一致検出を行うと第21図(b)に示すようになり欠陥のみを検出することは不可能であった。即ち、アライメント誤差が存在する場合には、層間アライメント誤差より小さな欠陥はそれが致命的な欠陥であっても欠陥だけ

供することである。

また撮像素子から入力された同一のアナログ信号について、2回以上サンプリングを行う時に誤差の発生を低減させる方法及び装置を提供することである。

(問題点を解決するための手段)

上記の目的は下記の技術的要素を組合せることにより達成される。即ち、多層パターンの外観検査技術において、

- (1) コントラストが小さい多層パターンを2値化せず濃淡の多値として隣接チップと比較する。
- (2) 層間アライメント誤差を許容するため各層ごとに位置合せを行い、一層ずつ2チップ間を比較する。
- (3) 検査済みのチップ間で一致した部分を不感帯化(don't care)することでマスキングを行い、一層ずつ直列的に(シリアルに)検査し、全層を検査する。
- (4) 不一致部分についてはウィンドを設定し、ウィンド内の複数の画素について明暗の勾配を

を弁別して検出することはできない。層間アライメント誤差はパターンを形成する場合、避けることができない位置ずれであり、従来の方法で不一致検出を行うと層間アライメント誤差に覆われてしまい微細な欠陥検出は不可能である。また、パターンには微小な凹凸や幅の偏差がある場合もあり、これらを許容して欠陥のみを検出しなければならない。

更に、2次元パターンを撮像する際に、イメージセンサからのアナログ信号をサンプリングしてA/D変換を行うが、サンプリングに伴う量子化誤差の対策が成されておらず、同一のアナログ信号について2回以上サンプリングを行う時に誤差が発生していた。

本発明の目的は、自動化に適した多層パターンの外観検査方法及び装置を提供することである。

より具体的には上記した従来技術の課題をなくし、比較する2組の多層パターン間に層間アライメント誤差、微小な凹凸やパターンの線幅の違いがあっても高精度に検出できる方法及び装置を提

供することである。

(1) 入力した濃淡のアナログ信号をデジタル化し、単位画素相互間の補間を行い、補間した画素間で比較を行う。

(作用)

(1) 撮像素子からのアナログ信号を直接サンプリングしてデジタル化し、かつ、デジタル化した画素データの補間結果を比較するので、1画素未満の位置ずれが無視でき、比較の精度が極めて向上する。

(2) 2チップ間を各層ごとに位置合せをしては比較し、不一致部分について位置合せと比較をくり返すことになるので、一層ずつパターンを剥ぐようにして欠陥判定ができる。この結果、層間アライメント誤差による支障が発生しない。またパターンの微小凹凸、線幅の違いを克服して欠陥のみを検出できる。

(実施例)

以下、本発明の一実施例を第1図により説明する。多層パターンの光学像を電気信号に変換する

光電変換器としてはリニアイメージセンサ、アモカメラ等いかなるものでも使用可能であるが、本実施例ではリニアイメージセンサを用いており、当該リニアイメージセンサの自己走査及びそれと直角方向に移動するXYテーブルによりLSIウエハの2次元パターンを検出する。第1図はパターン外観検査装置のブロック図である。リニアイメージセンサ5の出力はA/D変換器11によりデジタル信号に変換され、エッジ検出回路15aに入力される。A/D変換器出力は画像メモリ14にも入力され、入力されると同時に画像メモリに記憶されている隣接チップの対応するパターンを画像メモリから読み出し、エッジ検出回路15bに入力する。画像メモリを用いることにより1つのイメージセンサで隣接チップのパターンを比較検査できる。エッジ検出回路15a, 15bでは、パターンのエッジが検出される。

位置ずれ検出回路18では、エッジ検出回路15a, 15bの出力である2値化パターンをシフトし、シフトした位置での不一致画素数をカウントし2つ

も暗い領域である“暗欠陥”候補と明るい領域である“明欠陥”候補を出力し、勾配比較回路30に入力する。勾配比較回路30では、一致部消去回路21で不一致となったこれらの領域について明るさの勾配を比較し、欠陥判定を行い不一致を出力する。また一致部消去回路21の出力は、2段目以降の位置ずれ検出回路18及び遅延回路31a, 31bを通して2段目以降の一致部消去回路21に入力される。

位置ずれ検出回路18では前段の一致部消去回路21の出力でエッジ検出回路15a, 15bの出力のE XORをマスキングし、また一致部消去回路21では前段の一致部消去回路の出力で現在の一致部消去回路出力をマスキングする。

以上が一層分のパターンについての不一致検出回路であり、これと同一構成の回路がパターン層数だけシリアルに接続される。そして、最終段の勾配比較回路30の出力が真の欠陥として採用される。第1図は2つの層パターンからなる多層パターンを対象とするものであり、2組の一層パター

の2値化パターン間の不一致量を検出し、直交する2方向の動量を最小とする2つのカウント値を出力する。

またリニアイメージセンサ5のA/D変換されたデジタル信号出力及び画像メモリの出力は遅延回路19a, 19bにより遅延させる。遅延時間はリニアイメージセンサ画素数M(例えば1024)と位置合せに要するイメージセンサ自己走査回数N(例えば256)により決定され、遅延回路19a, 19bは各々M×Nのビット数のシフトレジスタにより構成される。

位置合せ回路20では、位置ずれ検出回路18で決定した最適な位置合せ状態、即ち不一致量が最小となるように遅延回路19a, 19bの出力を位置合せ回路20でシフトし位置合せを行う。そして、一致部消去回路21で位置合せされた検出画像の明るさの比較を行い、実質的に一致する領域を消去する。

一致部消去回路21では、明るさの一致しない領域についてA/D変換器出力が画像メモリ出力より

ン用不一致検出回路によって構成される。なお遅延回路31a, 31bは遅延回路19a, 19bと同一の時間だけ遅延させる回路であり、同一のハード構成である。

また第1図の構成で1層パターン或いは層間アライメント誤差のない2層パターンを検査対象としたときは、第1段目の勾配比較回路出力の不一致が欠陥として採用される。

次に各部の詳細を説明する。

第2図(a)を参照して第1図のエッジ検出回路15a, 15bとして用いることができる構成例を説明する。同図において参照符号150はA/D変換器11または画像メモリ14からの、例えば8bitのデジタル映像信号を受ける3段のシフトレジスタで、初段および第3段の出力は加算器151に、第2段の出力は利得2の増幅器152にそれぞれ供給される。加算器151の出力および増幅器152の出力は減算器153に加えられ、その差信号出力は2値化回路154において2値化され、エッジ検出信号として位置ずれ検出回路18に供給される。シフトレ

ジスタ150、加算器151、増幅器152および減算器153で $+1, -2, 1$ のオペレータが構成されている。

第2図(A)は縦、横、斜めの8方向でエッジを検出するためのエッジ検出回路で、 A/D 変換器11または画像メモリ14の出力を 3×3 切出し回路24に加え、エッジオペレーションを4つのエッジオペレータOP1~OP4により行う。各エッジオペレータは第2図(A)に図示したものと同一でよい。オペレータOP1~OP4の出力は2値化回路154-1~154-4で2値化され、論理和回路25にすべて供給される。回路25の出力は位置ずれ検出回路18のシフトレジスタ181_a、180_aまたはシフトレジスタ182_a(第3図)に加えられる。

第1図の位置ずれ検出回路18として用いる構成例を第3図に示す。2値化回路154の出力から、リニアイメージセンサ5の A/D 変換出力を1走査分遅延させるシフトレジスタ180_a~180_f及びシリアルイン・パラレルアウトのシフトレジスタ181_a~181_fからなる 7×7 画素(他の例: 9

$\times 9$ 画素でもよい)の2次元局部メモリにより 7×7 画素を切出す。一方、他の2値化回路154の出力は同様のシフトレジスタ182_a~182_f、及び183を用いて遅延させ、出力を上記局部メモリの中心位置と同期させる。

シフトレジスタ183の出力と局部メモリ各ビット出力を 2×2 回路184_a~184_fで排他的論理和をとり、不一致画素数を検出する。ただし、2段目以降の位置ずれ検出回路では 2×2 回路184と次に説明するカウンタ185の間にマスクング回路189を設け、これにより前段の一致部消去回路21(第1図)において不一致となった領域についてのみ不一致画素数を検出する。カウンタ185_a~185_fでこの不一致画素数の個数を計数する。カウンタ185_a~185_fは、リニアイメージセンサ N 走査毎にゼロクリアし、その直前に値を読出してやれば、 M 画素 $\times N$ 走査のエリア内の不一致画素数がわかる。局部メモリの各ビット出力は、シフトレジスタ183の出力に対して XY 方向(直交する2方向)に ± 3 画素の範囲で、1画

素毎にシフトされたものであるので、カウンタ185_a~185_fでは XY 方向による画素入力パターンをシフトしたときの各シフト量における不一致画素数がカウントされる。従って、最小値をもつカウンタがどれかを調べれば、不一致画素数が最小となる X 及び Y 方向のシフト量がわかり、各層に最適な位置合せが可能となる。

最小値検出回路186(例えば比較回路で構成される)ではカウンタ185_a~185_fの値を読出し、最小値をもつカウンタを選択して、リニアイメージセンサ走査方向(Y 方向)のシフト量186とそれと直角方向(X 方向)のシフト量187を出力する。

第4図に第1図の位置合せ回路20として用いられる構成例を示す。選択回路201では、シフト量187により遅延回路19_a及び一定走査分遅延させるシフトレジスタ200_a~200_fの出力から最適なシフト位置を選択し、シフトレジスタ202に入力する。また、選択回路203ではシフト量188により走査方向の最適なシフト位置を選択する。従って、選択回路203の出力には、不一致量が最小となるシ

フト位置の局部メモリが抽出される。

一方、遅延回路19_bの出力からも一定走査分遅延させるシフトレジスタ204_a~204_f及びシフトレジスタ205を用いて、第3図のシフトレジスタ183の出力と同じ量だけ遅延させた位置の局部メモリの画素を抽出する。この状態で選択回路203から出力される局部メモリの画素出力はシフトレジスタ205から出力される局部メモリの画素出力に対し、位置ずれのない最適なシフト位置になっている。

第1図の一致部消去回路21は、位置合せ回路20の出力に対し差の2値化を行う回路であり、第5図にその構成例を示す。位置合せされたパターン信号の差を引算器210で発生し、差信号211を2値化回路212_aにより閾値 $-1A_0$ で2値化し、 $-1A_0$ より大ならば実質的に一致し欠陥がないので不感信号(*don't care*信号)を出力する。同様に2値化回路212_bにより閾値 $1A_0$ で2値化し、 $1A_0$ より小ならば実質的に一致し欠陥がないので不感信号(*don't care*信号)を出力する。一致しない場合

は前者が“暗欠陥”候補、後者が“明欠陥候補”となる。ただし、2段目以降の一致部消去回路では、2値化回路212a、212bの後にマスクング回路214a、214bを設け、前段の一致部消去回路で一致したと判断された領域については2値化回路212a、212bの出力に拘らず不感(don't care)とする。

第6図に第1図の勾配比較回路30の詳細ブロック図、第7図に勾配比較回路30として用いられる具体的構成例を示す。第6図において、論理和回路32により一致部消去回路の出力である暗欠陥候補302と明欠陥候補303の論理和をとることによって位置合せされたデジタル信号300、301の差の絶対値の2値化画像を得る。検出した欠陥候補から、3×3ウィンド処理回路33により、3画素未満の欠陥候補は除去する。ウィンド処理回路33の出力は、信号300、301の不一致量が大きく、かつ3×3画素以上のものとなる。次に、これらの欠陥候補について信号300、301のウィンド内勾配を勾配検出回路34、35により求める。こうし

し回路から明るさを取り出し、引算器343に入力し、勾配(明るさの傾き)を検出する。検出した勾配は、比較回路36により信号300、301に対応する勾配を比較し、勾配が大きく異なる場合には欠陥として検出する。比較回路36の内部は、引算器とコンパレータで構成されている。

勾配の1例を第8図(a)、(b)に示す。3×3画素の切出し回路のそれぞれの画素をA、B、…、Iとすると、第8図(b)に示すような差の列挙から成る勾配テーブルを作ることができる。勾配テーブルの値を比較し、その値が信号300と301の間で1つでも大きく異なれば、そこには信号300と301に差を生ぜしめた欠陥が存在する。

勾配の他の例を第8図(c)に示すような勾配テーブルで示すことができる。勾配テーブルの値を比較し、その値が信号300と301の間で実質的に一致しなければ、そこには信号300と301に差を生ぜしめた欠陥が存在する。勾配テーブルの比較は次のように行う。

$$d1 = |(A - 2E + I) - (A' - 2E' + I')|$$

て求めた勾配を比較回路36により互いに比較することにより、勾配が大きく異なる場合には欠陥として検出する。

次に第6図の各部に用いることができる構成例を第7図により説明する。リニアイメージセンサの1走査分遅延させるシフトレジスタ330、331と、シリアルインパラレルアウトのシフトレジスタ332とにより構成した3×3画素の切出し回路、及びAND回路334により、3×3のウィンド内の画素の明るさの差がいずれも ϵ_0 (第5図の2値化閾値)以上ならば、AND回路出力335を可能(enable)に、そうでなければ不可能(disable)にする。一方、シフトレジスタ340、341、シリアルインパラレルアウトのシフトレジスタ342により構成した3×3画素の切出し回路により、信号300、301からAND回路出力335と同期して3×3画素を切出す。AND回路出力335は、信号300、301の差の絶対値が3×3画素にわたり、 ϵ_0 以上ならば可能(enable)となり、3×3画素の切出し回路を有効にする。3×3画素の切出

$$d2 = |(B - 2E + I) - (B' - 2E' + I')|$$

$$d3 = |(C - 2E + G) - (C' - 2E' + G')|$$

$$d4 = |(D - 2E + F) - (D' - 2E' + F')|$$

とすると

$$\min(d1, d2, d3, d4) > \epsilon_0 \quad \dots\dots \textcircled{1}$$

により欠陥が存在するかどうか判定する。ここで、A'~I'のようにダッシュを付したのは、信号301の画素信号であることを表わし、A~Iは信号300の画素信号であることを表わす。式①は、信号300と301の間に、勾配(2次微分)が1つでも近い値をとれば欠陥とみなさず、これを許容するものであり、逆に勾配が1つも近い値をとらないならば、欠陥が存在すると判定する。

式①は次のようにも書ける。

$$\bigwedge_{i=1}^4 (d_i > \epsilon_0) \text{ が真ならば欠陥。}$$

偽ならば正常。

ただし

$$\bigwedge_{i=1}^4 (d_i > \epsilon_0) = (d1 > \epsilon_0) \cap (d2 > \epsilon_0) \cap (d3 > \epsilon_0) \cap (d4 > \epsilon_0)$$

ここで、 \cap はANDを表わす。

勿論、式④は、勾配テーブル第8図(d)にも適用できる。この場合、

$$d_1 = |(B-B') - (B' - B')|$$

$$d_2 = |(D-F) - (D' - F')|$$

$$d_3 = |(G-C) - (G' - C')|$$

$$d_4 = |(I-A) - (I' - A')|$$

とすればよい。

勾配の他の例を第8図(d)の画素間の補間(内挿)に示す。同図に示すように画素Eと画素Aとを補間し新たに画素AEを作る。同様に画素BE, CE, ..., DEを作る。これらの画素を用いて欠陥判定を行う。即ち、

$$d_1 = |E - E'|$$

$$d_2 = |AE - E'|$$

$$d_3 = |BE - E'|$$

$$d_4 = |CE - E'|$$

$$d_5 = |FE - E'|$$

$$d_6 = |IE - E'|$$

$$d_7 = |HE - E'|$$

$$d_8 = |GE - E'|$$

く、2回目のサンプリング点は1回目とは異なる。従って第8図(a)に示すように1回目のサンプリング点は○印となり、2回目のサンプリング点は×印となる。即ち、 $\pm \frac{1}{2}$ 画素以内の誤差が生じることになる。このように、サンプリングのタイミングは微妙にずれるため、第1図の位置ずれ検出回路18及び位置合せ回路20で画像信号を位置合せしても、サンプリングの時間間隔T(画素間隔)の1/2以下の位置ずれは原理上免れられない。従って、信号300の画素E'と信号301の画素Eを位置合せし比較する場合、E'を更に補間画素DE, FEと比較してやれば正しく1画素未満(サブピクセル)の単位で位置合せが行える。従って、式④によれば、サンプリングによって生ずる位置合せ誤差を完全に排除した状態で欠陥判定を行うことができ、検査の信頼性を格段に向上させることができる。

第8図(d)の補間勾配を用いない勾配検出回路34, 35(第6図)の構成例を第9図(a)に示す。同図は3×3画素の明るさ勾配を、対応するパターン上

$$d_9 = |DE - E'|$$

$$\min(d_1, d_2, \dots, d_9) \geq \epsilon_0 \quad \dots\dots ⑤$$

ここで、画素の補間は例えば次のように行う。

$$AE = (A+B+D+E)/4$$

$$CE = (B+C+E+F)/4$$

$$IE = (E+F+H+I)/4$$

$$GE = (D+E+G+H)/4$$

$$BE = (B+E)/2$$

$$FE = (F+E)/2$$

$$HE = (H+E)/2$$

$$DE = (D+E)/2$$

式⑤によれば、第1図のイメージセンサ5及びA/D変換器11によるサンプリング誤差を許容して、極めて厳密な欠陥判定を行うことができる。

第8図(a)に示すように、画像信号として得られる値は、サンプリングされデジタル化された明るさであり、画素D, E, F...である。従って、画素DとEの間の位置の明るさ情報は失われている。そして、サンプリング点はたとえ同一の検出系で同一のウエハを撮像しても、同一になることはな

の対応点の周囲2画素を拡大した範囲内で比較するものである。同図では例えば斜線の部分の明るさ勾配を比較した様子を表わしているが、7×7画素の範囲内で最も明るさ勾配の近い箇所を探し、そのとき局所的に位置合せがなされるとみなし、その勾配の値を比較することによって欠陥かどうか判定するものである。参照符号351, 354はシフトレジスタであり、その他の部材は第7図と同じでよい。

また、第9図(a)の特別な場合として、ウインド351, 354をそれぞれ1×1画素, 3×3画素とし、ウインド351内の画素の明るさがウインド354内の3×3画素の範囲内の明るさに近い箇所を探し、そのとき局所的に位置合せがなされるとみなし、その明るさを比較することによって欠陥かどうか判定することもできる。

このことは微小欠陥を検出したい場合に、1×1画素のウインドでも本発明が適用できることを示すものであり、3×3画素のウインドによって定義した明るさ勾配を1×1画素のウインドに通

用した例に該当する。

第9図(a)に第8図(d)の補間勾配を用いる勾配検出回路の構成例を示す。同図では積算回路により補間面素を得、この補間面素A₁E〜D₁E及びEと、Eに対応する面素E'との差の絶対値を検出する。そして、これらの差の絶対値から最小値を検出し、この最小値を2値化回路で2値化している。

第10図に、異なる閾値、例えば ϵ_1 で2値化して得た不一致領域について勾配比較を行う例を示す。第6図では第1図の一致部消去回路21で検出された不一致領域について勾配比較が行われた。即ち、信号300、301の差を閾値 ϵ_1 で2値化し、得られる暗欠陥候補と明欠陥候補の論理和をとったが、異なる閾値で2値化して得た不一致領域について勾配比較を行ってもよい。位置合せがされた信号300、301（ここでは8ビット）は、引算器311に入力され、E×O_R回路312により、300と301の差の絶対値が検出される。差の絶対値は、コンパレータ320により、閾値 ϵ_1 で2値化され、ウィンド処理回路33に入力される。

メント誤差の大小から決めてよい。

次に、本発明により多層パターンが実際にどのように検査されるかを具体的に説明する。

近接した2チップを比較する場合、第12図(a)、(b)に示すように、2つのチップ上の対応する第1層パターン及び第2層パターンからなる二層パターン f_1 、 g_1 が検出される。パターン f_1 と g_1 の間には、層間アライメント誤差が存在する。第1図の位置合せ回路20により、第1層パターン同志の位置合せを行い、第12図(c)を得る。

次に一致部消去回路21により明るさの一致した領域即ち第1層パターンを消去するが、この第1層パターン消去を検出パターン f_2 について行う。検出パターン g_1 については手を加えない。そして第12図(d)のようにパターン f_2 における第1層パターン消去に伴ない、第2層パターンも一部消去される。第1層パターン位置合せ後消去した領域を不感帯（don't care）としてマスキング回路によりマスクし、消去した第2層パターンの一部が第2層パターンの位置合せ時に不一致として検出さ

第10図では、2つの信号300、301の差の絶対値を2値化回路320で2値化したが、第11図に示すように、300と301の差の絶対値からシフトレジスタ321、シリアルインパラレルアウトのシフトレジスタ322により構成した3×3面素の切出し回路、及び加算回路323により、3×3面素の明るさの差の絶対値の和を求め、これをコンパレータ324で2値化してもよい。

以上、第1図を実現する構成例を具体的に説明した。これらのうち、位置ずれ検出回路18と一致部消去回路21は1段目と2段目以降ではマスキング回路189（第3図）及び214（第5図）の有無により異なる。これらは、マスキング回路189では21からの出力（暗欠陥候補302）を、214では31₀、31₁からの出力を1段目だけそれぞれ強制的にL₀とすることによっても実現できる。

なお、第3図の位置ずれ検出回路において、2次元局部メモリにより7×7面素を切出し、位置ずれ検出に用いた。これは一般的にはn×n面素でよく、検出面像の位置ずれの状態、層間アライ

れることを避ける。従って、第12図(d)の場合、実線以外はマスクされる。そして、2段目の位置合せ回路20、一致部消去回路21によりこれらのパターンと検出パターン g_2 （第12図(f)）の位置合せを行い、残された第2層パターンの検査を行う。これにより第12図(g)に示すように欠陥だけが検出できる。

このように多層パターンを構成する層パターンごとに位置合せを行い、明るさを比較して一致している領域を消去することを層パターン数だけシリアルに繰返すことにより、欠陥だけを検出することが可能になる。

次に第13図及び第14図を用いて、一致部消去回路21の動作をさらに詳しく説明する。第13図(a)、(b)は2つの半導体IC構造体の多層パターン f_2 及び g_2 の多値信号波形の一例である。これを位置合せし重ね合せて（位置合せは第15図、第16図を参照して後で説明する）表示すると、第13図(c)の状態となる。例えば、欠陥は正常部より暗いので $f_2 - g_2 > -\epsilon_2$ 。ならば f_2 を消去すると第13図(d)を得

る。ここで、斜線部は $f_0 - g_0 > -\epsilon_0$ を満たす領域を表わし、 f_0 と g_0 が実質的に一致したとみなして不感帯 (don't care) とした領域である。 ϵ_0 はパターン f と g が一致するかどうかを判定する閾値である。第13図(d)から第1層パターンについては欠陥が存在しなかったことがわかる。しかし、第2層パターンについては層間アライメント誤差のために位置合せが不完全となり消去することができない。

次に第14図(a) (第13図(d)と同じ) と第14図(b) (第13図(a)と同じ) を位置合せし重ね合わせて表示すると、第2層パターンの位置合せがなされ第14図(c)となる。再び $f_0 - g_0 > -\epsilon_0$ の判定を行うと、第1層パターン間に不一致が発生するが第5図のマスキング回路214aによりこれらの不一致はマスクされ、第14図(d)のように求める欠陥だけが検出される。第13図、第14図では暗欠陥候補を例にとり説明したが、 $f_0 - g_0 < \epsilon_0$ なる判定も可能であり、これは第5図の2値化回路212b、マスキング回路214bにより実行される。このようにしてパターン

した斜線部は、第3図のマスキング回路189aによりマスキングし、前段までの一致部消去回路21において不一致となった領域についてののみ、 $S(u, v)$ を算出する。ここで、 (i, j) はパターンの画素の座標を表わす。

パターン f_0 及び g_0 は本来2次元の信号であるから、第16図に示すような2次元的広がりを持ったパターンのエッジを検出するためのオペレータを用いる。これは第2図(a)に示した回路構成により実現できる。

次に第17図～第19図を用いて、勾配比較回路30がどのように欠陥候補から真の欠陥のみ抽出するかを説明する。第17図及び第18図において、2つのチップ上の対応する多層パターン f_0, g_0 を位置合せし (第17図(a))、一致部消去回路21で明るさの差をとると (第17図(b))、明るさの差の絶対値が2値化閾値 ϵ_0 より大きい所では、次のようになる。即ち、層間アライメント誤差が小さい場合や、パターンの微小凹凸が存在する場合、またはパターンの線幅がチップによって若干異なる場合

f_0 と g_0 から欠陥候補が抽出される。

次に、第15図及び第16図を用いて、エッジ検出回路15a、15b、位置ずれ検出回路18 (いずれも第1図参照) の動作を説明する。第15図(a)、(d) はパターン f_0 及び g_0 の信号波形である。これらの信号波形に第2図(a)で示した回路により1-21なるオペレータを適用すると、暗い低レベルのエッジだけを検出でき、第15図(b)、(e)を得、これがある2値化閾値 ϵ_0 で2値化するとパターンのエッジの最も暗くなる点を"1"に、それ以外を"0"にすることができ、第15図(c)、(f)を得る。従って、これらのエッジパターンを表わす2値化パターンを用いて、パターンマッチングの手法により位置合せができる。第3図の位置ずれ検出回路は、これを実現するもので、2値化エッジパターンを f_1, g_1 とすると、

$$S(u, v) = \sum_{i,j} (f_1(i, j) \text{ EXOR } g_1(i-m, j-n))$$

なる $S(u, v)$ を測定し、 $S(u, v)$ が最小となる u, v の値を求めるものである。ただし、一致部消去回路21と同様に、第13図、第14図で示

には、第17図(a)に示すようにもとのパターン f_0, g_0 の明るさ勾配はほぼ同じ値をもつか、同じ値をもたない場合でも大きな差はないという傾向がある。しかし、これらが大きい場合には第18図(a)～(c)に示すようにパターン f_0 と g_0 の明るさ勾配(c)はまったく異なる値になる。

層間アライメント誤差、パターンの凹凸、線幅の違いは、それがある基準値より大きければ欠陥と見なし検出しなければならないが、ある基準値より小さければ正常と見なし許容しなければならない。このうち、層間アライメント誤差の大小は第1図の位置ずれ検出回路18の出力 u, v から判断でき、しかも層間アライメント誤差は各層ごとに位置合せ、一致部消去を繰返すことから許容できるものである。

パターンの凹凸、線幅の違いが勾配比較回路30で許容できることを次に示す。第19図に示すように、パターン f_0, g_0 を位置合せした場合、パターンの微小凹凸 (あるいは線幅の違い) により、位置合せが完全になされず、第19図(a)のように1画

素の位置合せ誤差、第19図(a)のように2面の位置合せ誤差、第19図(d)のように3面素の位置合せ誤差がそれぞれあるとき、不一致量の大きな領域に第6図のウインド処理回路33により 3×3 のウインドを当てはめる。

このウインドは2次元であるが、説明の都合上、1次元で以下説明する。このウインドにより 3×3 面素の大きさの不一致の欠陥を検出する。第19図(a)の場合には、パターン的一致量が小さいため問題はない。第19図(c)の場合、図示の面素の不一致量が大きくなり、欠陥候補となる。曲線により囲まれた領域の形状に注目すれば、この欠陥候補に 3×3 のウインドを当てはめ、第6図の勾配検出回路34、35によりウインド内の2つのパターンの明るさ勾配を求め、比較回路36により明るさ勾配を比較すると、それらはほぼ一致し、従って局所的な小さな位置ずれであることがわかる。第19図(d)の場合、図示の面素の不一致量が大きくなり欠陥候補となる。そして 3×3 のウインド内の明るさ勾配は互いに値が若干異なり、位置ず

れが第19図(c)の場合よりも大きいことがわかる。この勾配の値によって、欠陥かどうか判断できる。

以上説明したように、第1図の実施例によれば層間アライメント誤差、パターンの微小凹凸、線幅の微小な寸法差によらず欠陥だけを確実に検出することができる。

なお第1図は2つの層パターンからなる多層パターンを対象とするものであり、2組の一層パターン用不一致検出回路によって構成した。しかし、実際には多層パターンといえども層間アライメント誤差が全ての層パターンについて存在するわけではなく、不一致検出回路を層数以下の偶数シリアルに接続することによって欠陥判定を行うこともできる。また、一層パターンが検査できることは言うまでもない。

また第12図の説明において、位置合せが第1層パターンから行われるとしたが、実際には第1層パターンから行われるのか第2層パターンから行われるかの選択はできない。エッジ画像の不一致面素数を最小とする制約から、太いエッジをもつ

層パターンから位置合せがなされるはずであるが、これらの順序は欠陥判定の原理上どちらが先でも構わない。

また、第1図は1つのイメージセンサと画像メモリにより比較検査を実現したが、第20図に示すような2つのイメージセンサを用いて比較検査を行う装置にも本発明が適用できることは言うまでもない。

〔発明の効果〕

本発明によれば、コントラストの低い検査対象から欠陥を検出することが可能になる。具体的には、層間アライメントの誤差、パターンの微小な凹凸、線幅の微小な差によらず、欠陥だけを検出することが可能である。従って、パターン検査の自動化に貢献できる。

4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図、第2図(a)は第1図のエッジ検出回路の一構成例を示す図、第2図(b)は第2図(a)のエッジ検出回路を用いて構成した8方向のエッジを検出する回路の一構

成例を示す図、第3図は第1図の位置ずれ検出回路の一構成例を示す図、第4図は第1図の位置合せ回路の一構成例を示す図、第5図は第1図の一致部消去回路の一構成例を示す図、第6図は第1図の勾配比較回路の詳細なブロック図、第7図は第1図の勾配比較回路の一構成例を示す図、第8図(a)は3面素 \times 3面素の検出ウインドを示す図、第8図(b)は2面素の差から成る勾配テーブルを示す図、第8図(c)は3面素を用いて2次微分を成分とする勾配テーブルを示す図、第8図(d)は2面素間を補間した値を検出ウインドとする補間を示す図、第8図(e)はサンプリングの相違により1面素未測の誤差が生じることを示す図、第9図(a)は第8図(d)の補間勾配を用いない第6図の勾配検出回路の一構成例を示す図、第9図(b)は第8図(d)の補間勾配を用いる第6図の勾配検出回路の一構成例を示す図、第10図は異なる閾値で2値化をして不一致領域を得るための第5図の一部分を示す図、第11図は第10図に対応する他の構成例を示す図、第12図は多層パターンの比較手順の1例を示す図

であって、(a)は比較の一方の対象である検出パターン f_1 を示す図、(b)は比較の他方対象である検出パターン g_1 を示す図、(c)は第1図の位置合せ回路により第1層のパターン相互の位置合せが行われた結果を示す図、(d)は(c)の一致した領域を消去した結果を示す図、(e)は説明の便宜のため描かれた(a)と同じパターンを示す図、(f)は第2層のパターンである(d)と(e)の位置合せを行った結果を示す図、第13図は多層パターンの比較手順の1例を多値信号波形を用いて示す図であって、(a)は比較の一方の対象である検出パターンの信号波形 f_1 を示す図、(b)は比較の他方対象である検出パターンの信号波形 g_1 を示す図、(c)は第1層パターンの位置合せを行った結果を示す図、(d)は第1層パターン的一致部を消去した結果を示す図、第14図は多層パターンの比較手順の1例を多値信号波形を用いて示す図であって、(a)は第13図(d)と同様、第1層パターン的一致部を消去した結果を示す図、(b)は第13図(a)と同様、比較の他方対象である検出パターンの信号波形 g_1 を示す図、(c)は第2層パタ

ーンの位置合せを行った結果を示す図、(d)はマスキング回路が不一致をマスクするため欠陥のみを検出した結果を示す図、第15図はエッジ検出の手順の1例を示す図であって、(a)及び(b)は各々、比較の一方及び他方対象である検出パターンの信号波形 f_1 及び g_1 を示す図、(c)及び(d)は各々、エッジ検出オペレータを適用した結果を示す図、(e)及び(f)は各々、2値化閾値を用いて2値化した結果を示す図、第16図はエッジ検出オペレータが2次元的に適用されることを示す図、第17図は許容できる不一致パターンが第1図の勾配比較回路によって処理される1例を示す図であって、(a)は比較の対象である2つの多層パターンの位置合せを行った結果を信号波形 f_1, g_1 で示す図、(b)は第1図の一致部消去回路で(c)の差の絶対値をとった結果を示す図、(c)は(a)の信号波形 f_1 及び g_1 各々の傾きを示す図、第18図は許容できない不一致パターンが第1図の勾配比較回路によって処理される1例を示す図であって、(a)は比較の対象である2つの多層パターンの位置合せを行った結果を信号波形

f_1, g_1 で示す図、(b)は第1図の一致部消去回路で(c)の差の絶対値をとった結果を示す図、(c)は(a)の信号波形 f_1 及び g_1 各々の傾きを示す図、第19図は第1図の勾配比較回路によってパターンの凹凸、線幅の違いが許容できることを示す図であって、(a)は比較の対象である2つのパターンの平面図、(b)は1画素の位置合せ誤差が生じている場合を信号波形 f_1, g_1 で示す図、(c)は2画素の位置合せ誤差が生じている場合を信号波形 f_1, g_1 で示す図、(d)は3画素の位置合せ誤差が生じている場合を信号波形 f_1, g_1 で示す図、第20図は2つのイメージセンサを用いて比較を行う装置の概略を示す図、第21図はアライメント誤差がある比較対象を従来技術で位置合せを行った場合に欠陥の検出精度が低下することを示す図であって、(a)は比較の一方の対象である多層パターン f_1 の平面図、(b)は比較の他方対象である多層パターン g_1 の平面図、(c)は第2層のパターンを相互に位置合せした結果を示す図である。

14…画像メモリ,

18…位置ずれ検出回路,

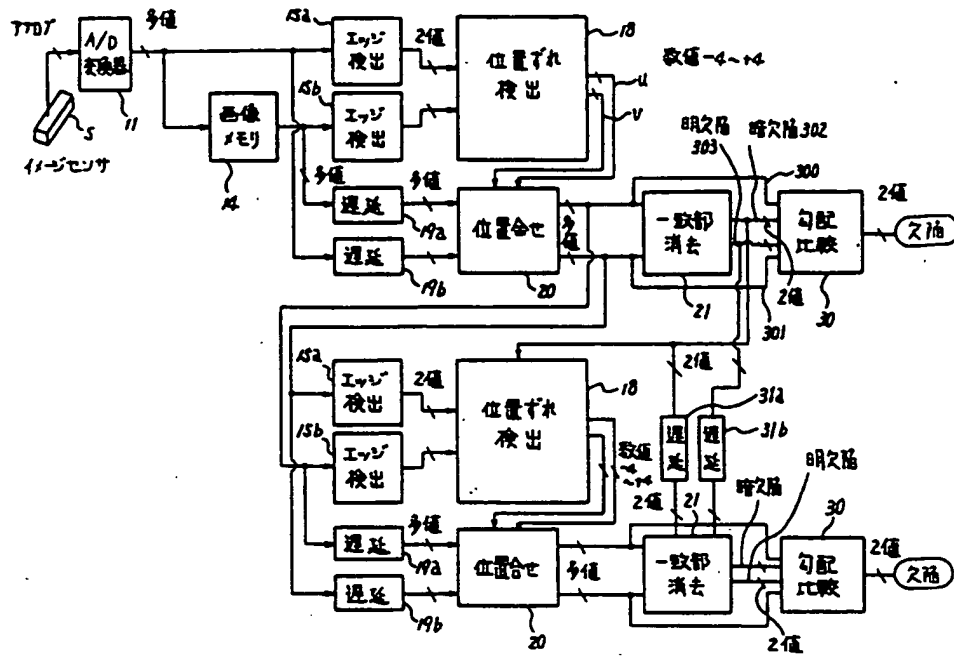
21…一致部消去回路,

30…勾配比較回路。

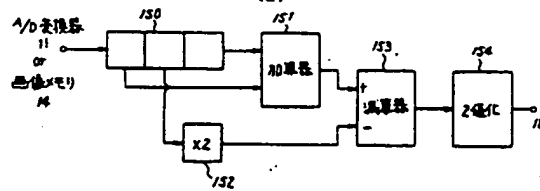
5…イメージセンサ, 11…A/D変換器

代理人 弁理士 小川 勝

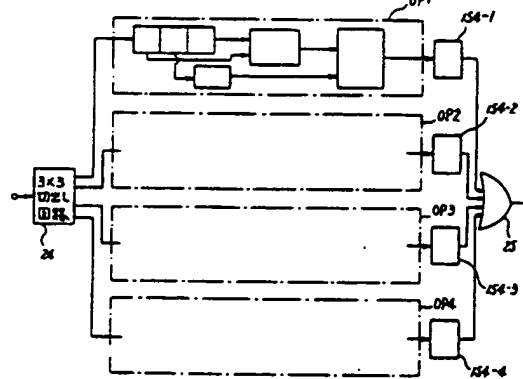
第1図



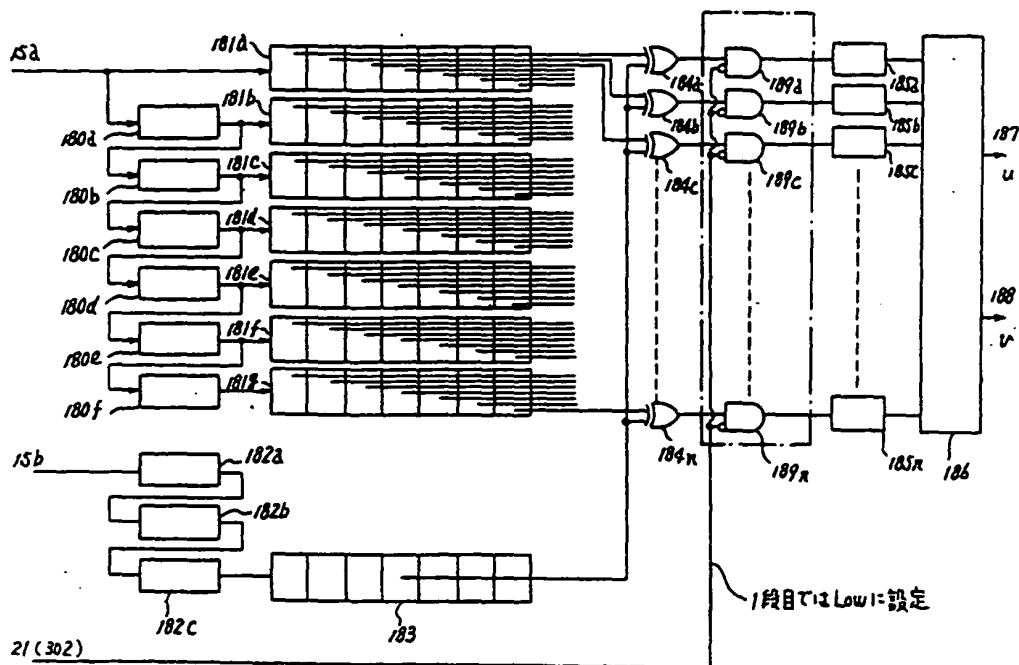
第2図



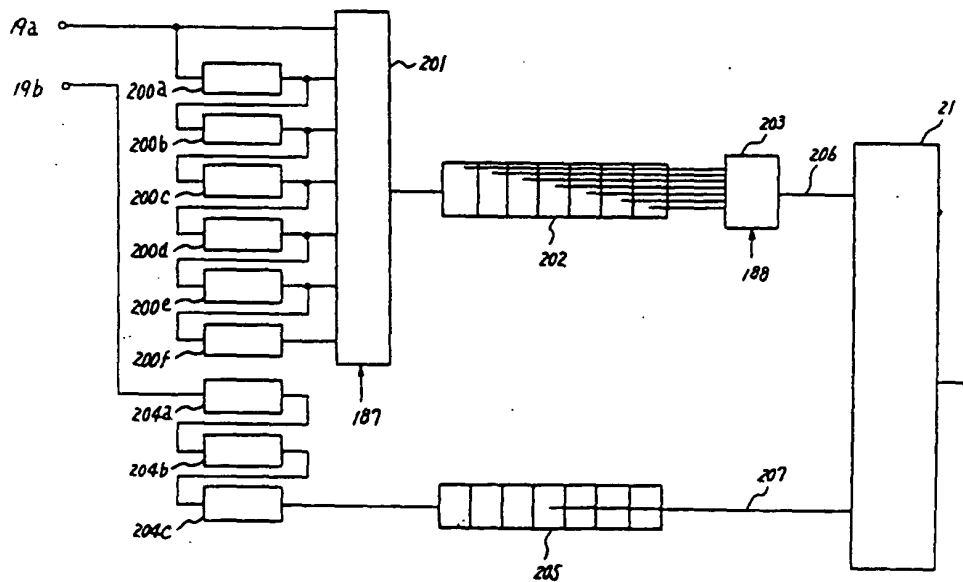
(b)

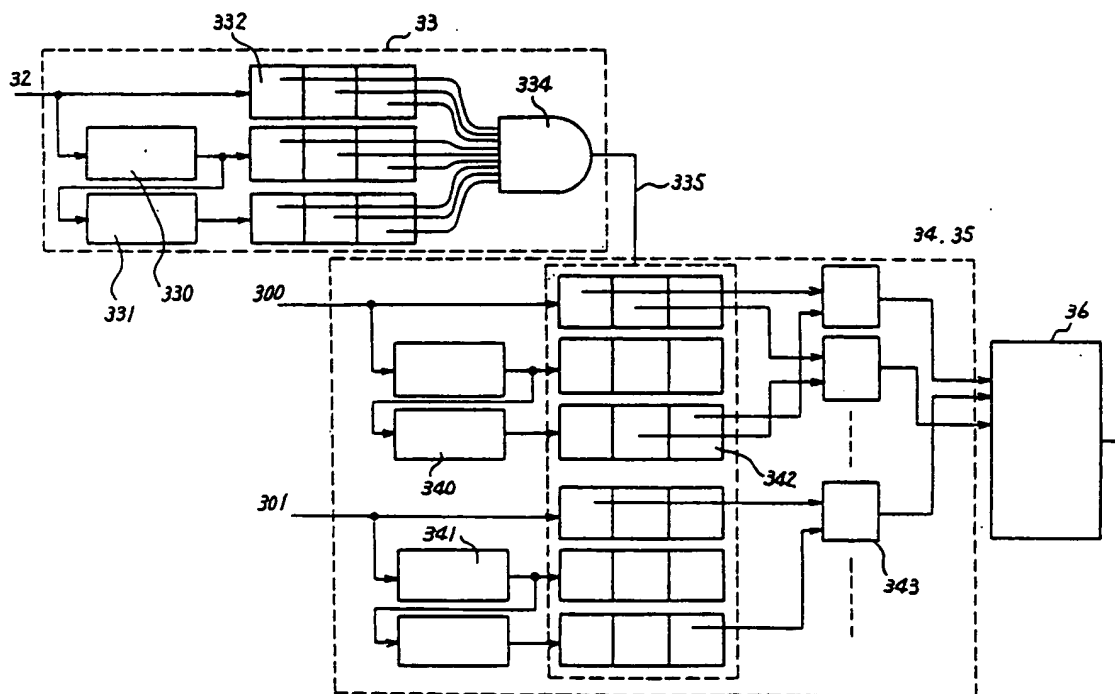
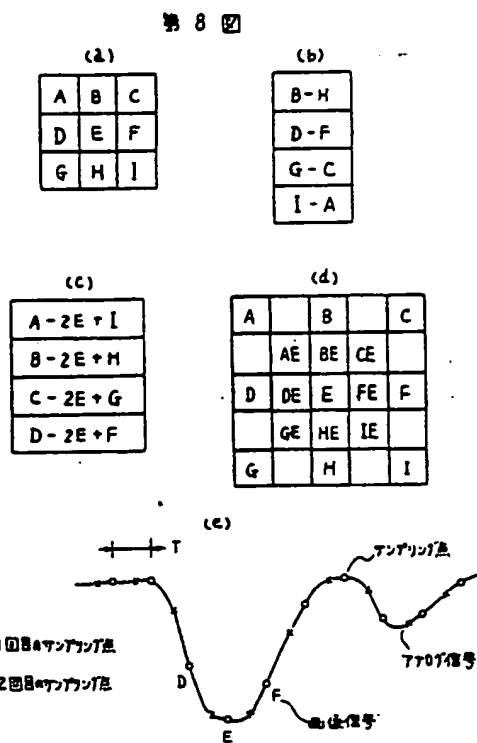
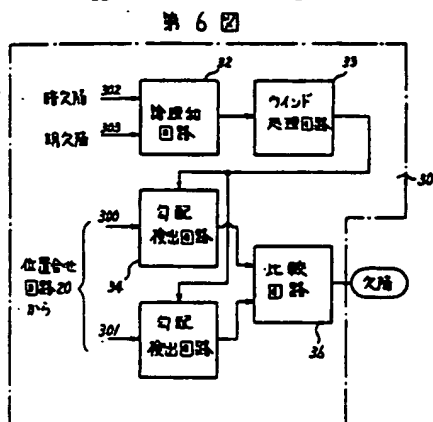
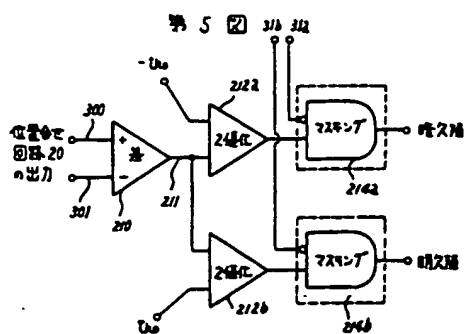


第 3 図

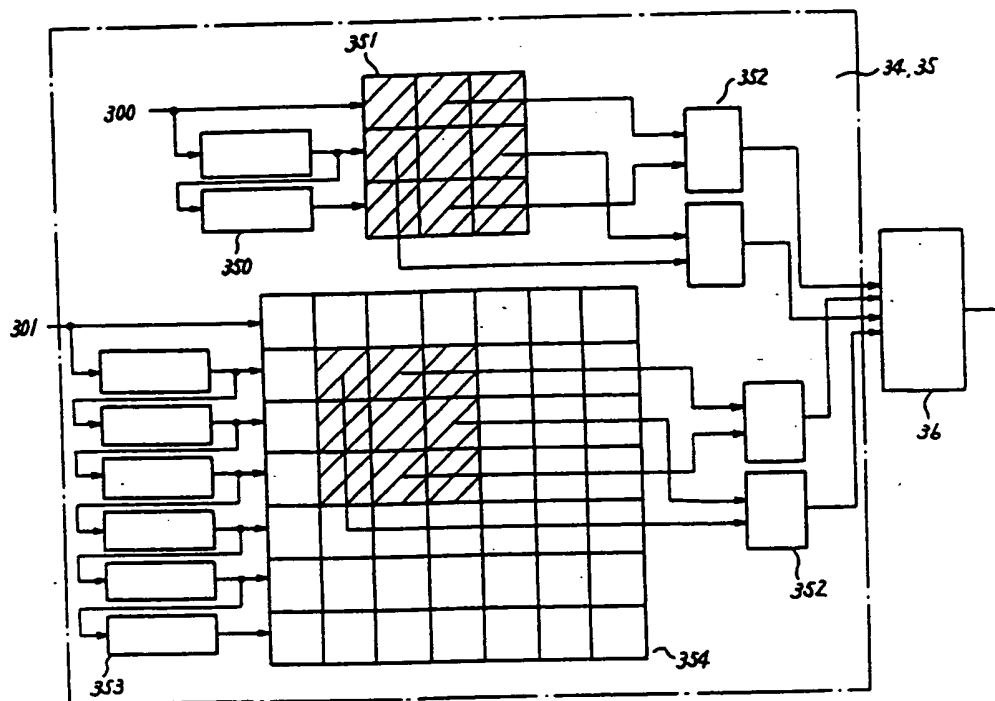


第 4 図

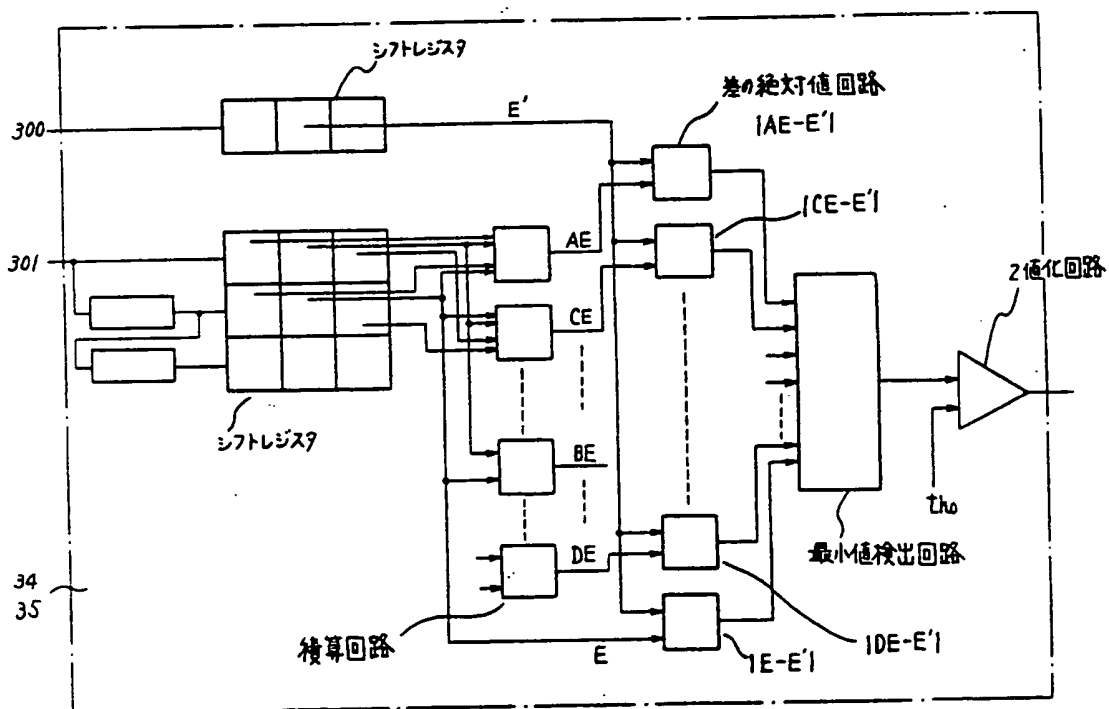




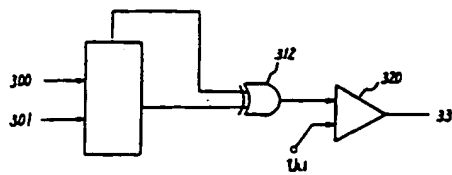
第 9 圖. (a)



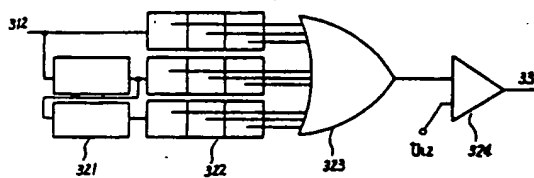
第 9 圖 (b)



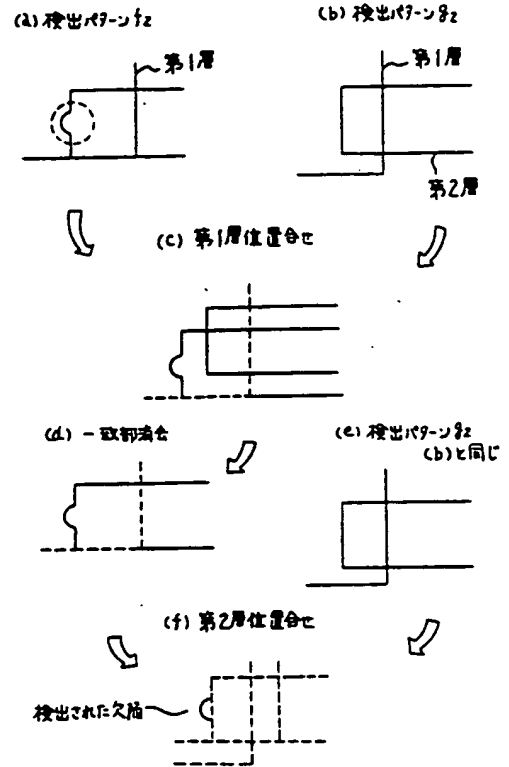
第 10 図



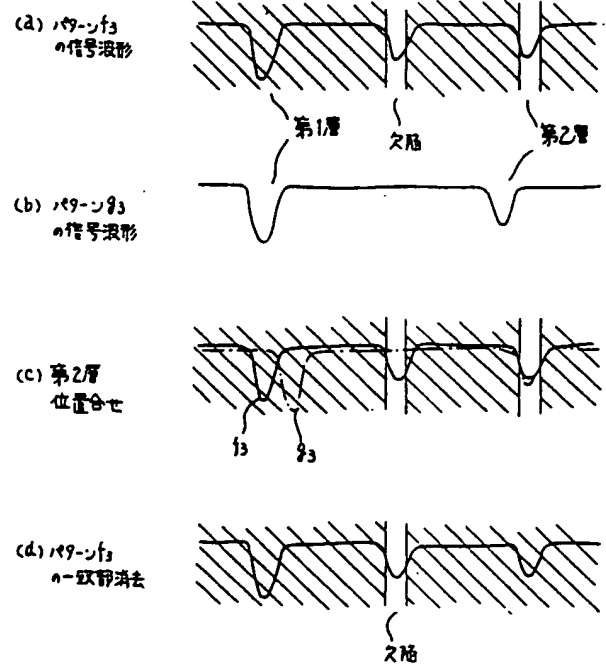
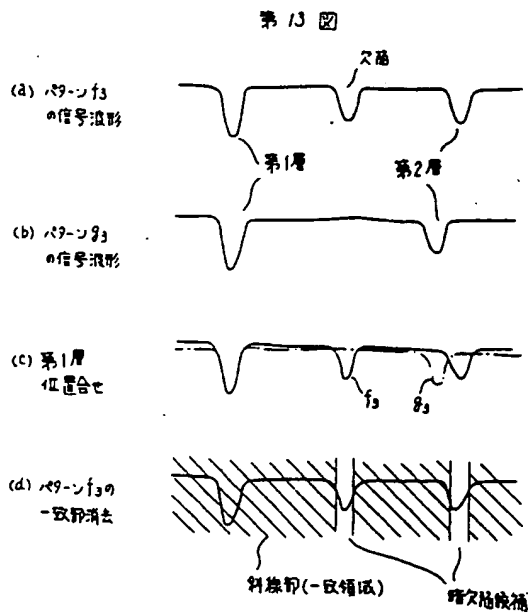
第 11 図



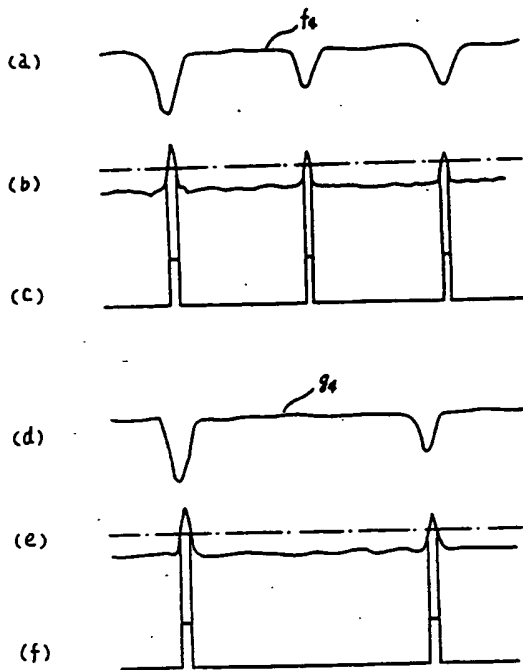
第 12 図



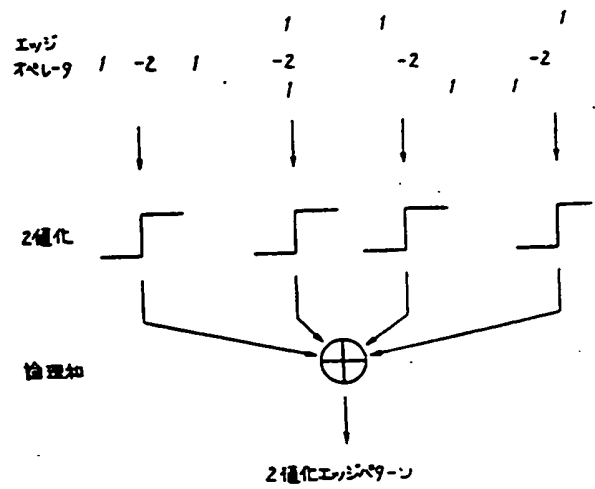
第 14 図



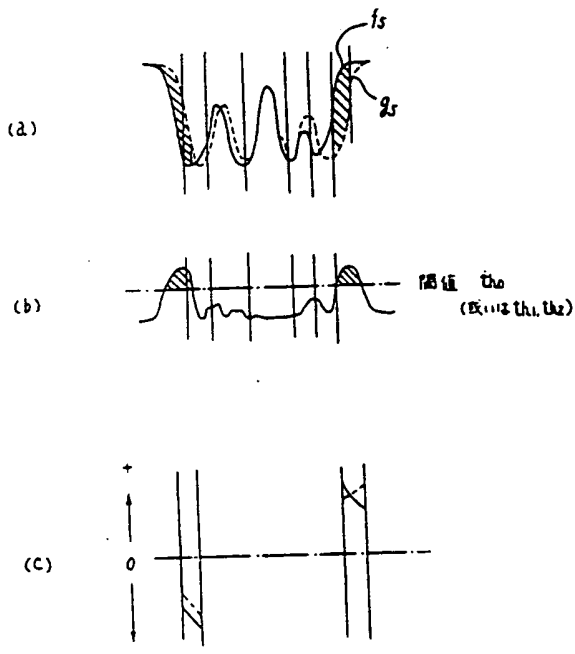
第 15 図



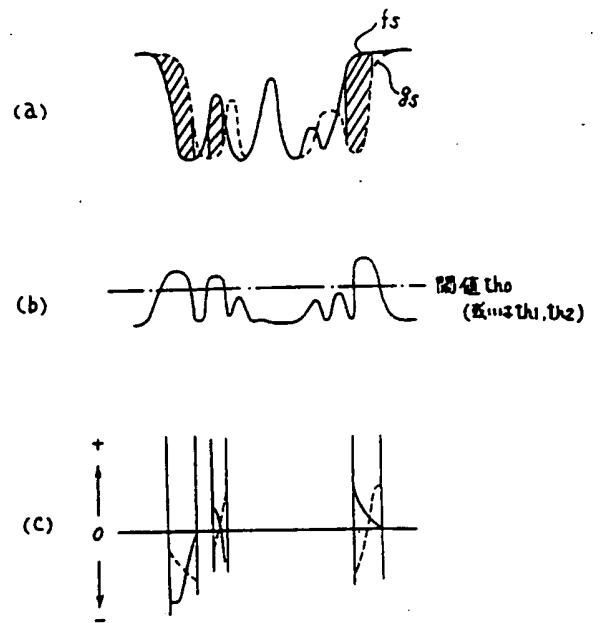
第 16 図



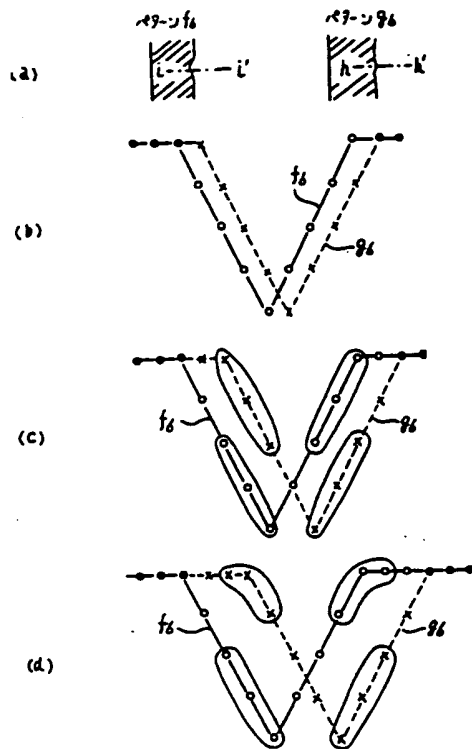
第 17 図



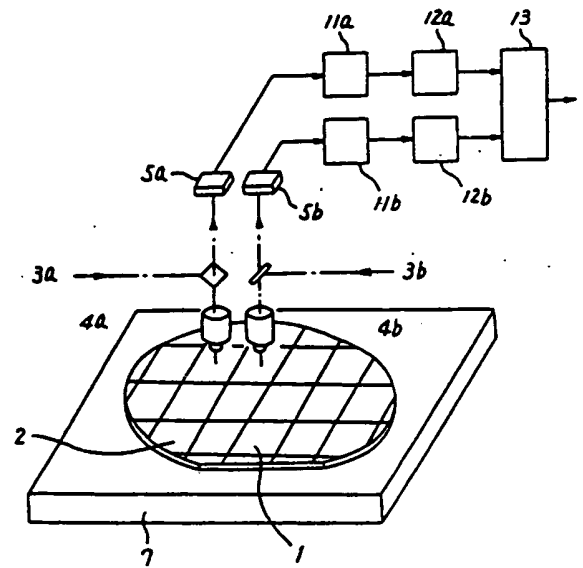
第 18 図



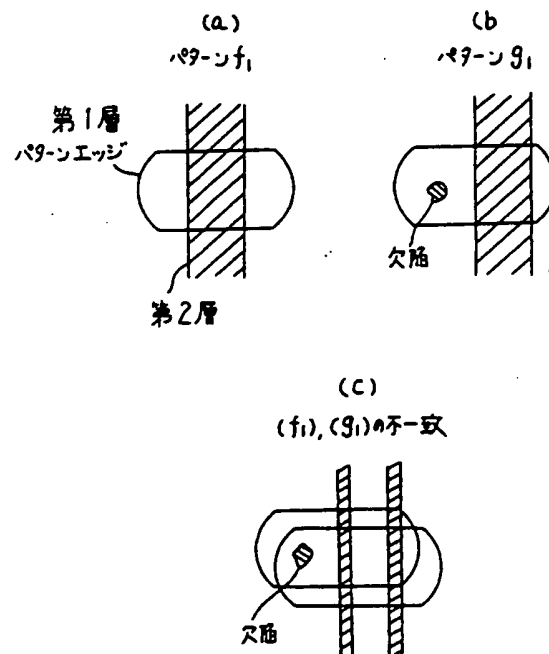
第19図



第20図



第21図



第 1 頁の続き

⑦発 明 者 中 川 泰 夫 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技
術研究所内